

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-054866  
 (43)Date of publication of application : 08.03.1991

(51)Int.Cl.

H01L 29/784

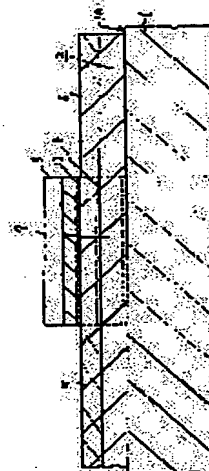
(21)Application number : 01-191117  
 (22)Date of filing : 24.07.1989

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>  
 (72)Inventor : OKAMOTO AKIO  
 SHIRAI SEIICHI  
 SERIKAWA TADASHI

**(54) THIN FILM FIELD EFFECT TRANSISTOR****(57)Abstract:**

**PURPOSE:** To improve the controllability of a load current by widening an effective area where an electrode layer faces a channel region by forming a groove in a channel region of a semiconductor thin film and extending a gate electrode layer via a gate insulating film into the groove.

**CONSTITUTION:** A plurality of grooves 8 each with a rectangular section are formed on the surface of a semiconductor thin film 2 extending in the direction of a current flowing through a channel region 7, and a gate electrode layer 4 is extended into the groove 8 via a gate insulating film 3. Accordingly, an effective area of the layer 4 facing a region 7 is widened, and have controllability of a load current by control voltage can be improved even though widths of the region 7 and the layer 4 are not widened. Further, since an electric field by the control voltage is concentrated at the corner of an upper end edge of the groove 8 to permit surface electric field density of the thin film 2 at the corners and in the vicinity of the groove to be increased, controllability of a current supplied to a load by the control voltage can be improved.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平3-54866

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月8日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 薄膜電界効果トランジスタ

⑯ 特 願 平1-191117

⑰ 出 願 平1(1989)7月24日

⑱ 発 明 者 岡 本 章 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 白 井 誠 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 芹 川 正 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 田中 正治

## 明 細 書

1. 発明の名称 薄膜電界効果トランジスタ

2. 特許請求の範囲

絶縁性表面を有する基板の上に、導電性を与える不純物を意図的に導入させていないか導入させているとしても十分低い濃度でしか導入させていない半導体薄膜が形成され、

上記半導体薄膜の上表面上に、ゲート絶縁膜を介して、上記半導体薄膜を横切って上記基板上に延長しているゲート電極層が形成され、

上記半導体薄膜内に、上方からみて、上記ゲート電極層を挟んだ両位置において、上表面側から、導電性を与える不純物を高濃度に導入しているソース領域及びドレイン領域が、それら間をチャンネル領域として残すように形成されている薄膜電界効果トランジスタにおいて、

上記半導体薄膜に、その上表面側における少なくとも上記チャンネル領域において、そのチャンネル領域に流れる電流にほぼ沿う方向に延長している溝が、その内面を半導体薄膜の上表

面の一部として形成され、

上記溝内に、上記ゲート絶縁膜を介して、上記ゲート電極層が延長していることを特徴とする薄膜電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜電界効果トランジスタに関する。

〔従来の技術〕

従来、第12図～第14図を伴って次に述べる薄膜電界効果トランジスタが提案されている。

すなわち、平らな絶縁性表面1aを有する基板1上に、導電性を与える不純物を意図的に導入させていないか導入させているとしても十分低い濃度でしか導入させていず且つ全域に亘って平らな上表面2aを有する半導体薄膜2が、例えば、5000μmの厚さに例えば直線的ストライプ状に形成され、そして、その半導体薄膜2の上表面2a上に、例えば0.1μm厚のゲート絶縁膜3を介して、半導体薄膜2を横切

って基板1上に延長しているゲート電極層4が形成されている。

また、半導体薄膜2内に、上方からみて、ゲート電極層4を挟んだ両位置において、上表面2a側から、導電性を与える不純物を高濃度に導入しているソース領域5及びドレイン領域6が、それら間をチャンネル領域7として残すように、図示のように基板1に達しない深さに、または達する深さに形成されている。

以上が、従来提案されている薄膜電界効果トランジスタの構成である。

このような構成を有する薄膜電界効果トランジスタによれば、ソース領域5及びゲート電極層4間に制御電圧を印加させれば、チャンネル領域7の電気的伝導度を、制御電圧に応じて制御させることができることから、ソース領域5及びドレイン領域6間に負荷を通じて所定の電流を接続している状態で、ソース領域5及びゲート電極層4間に制御電圧を印加させることによって、その制御電圧に応じて制御された電流

を負荷に供給させ、その負荷を駆動させることができる。

【発明が解決しようとする課題】

第12図～第14図に示す従来の薄膜電界効果トランジスタの場合、負荷に供給させる電流の制御電圧による制御性が、チャンネル領域17の電気的伝導性を決定する半導体薄膜2の特性に大きく依存することから、半導体薄膜2に対する熱アニーリング処理によって、半導体薄膜2の特性を向上させれば、負荷に供給させる電流の制御電圧による制御性を、負荷に供給させる電流が大きな値で得られる態様で、高くすることができる。

しかしながら、この場合、半導体薄膜2に対する熱アニール処理に、高い温度が必要とされることから、基板1を高い融点を有する材料で構成することが必要であり、このため、基板1として、廉価、容易に入手し得る例えばガラスとなる基板を用いることができない、という欠点を有していた。

また、第12図～第14図に示す従来の薄膜電界効果トランジスタの場合、負荷に供給させる電流の制御電圧による制御性が、ゲート電極層4の幅、従って、チャンネル領域7の幅にも依存することから、チャンネル領域7の幅を広くし、従って、ゲート電極層4の幅を広くすることによって、負荷に供給させる電流の制御電圧による制御性を、負荷に供給させる電流が大きな値で得られる態様で、高くすることができる。

しかしながら、この場合、チャンネル領域7及びゲート電極層4の幅に応じて、薄膜電界効果トランジスタが基板1上に占める面積が大きくなることから、薄膜電界効果トランジスタを基板1上に小型密実形成することができない、という欠点を有していた。

よって、本発明は、上述した欠点を伴うことなしに、負荷に供給させる電流の制御電圧に応じた制御性を、負荷に供給させる電流が大きな値で得られる態様で、高くすることができる、新規な薄膜電界効果トランジスタを提案せんと

するものである。

【課題を解決するための手段】

本発明による薄膜電界効果トランジスタは、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合と同様に、①絶縁性表面を有する基板1上に、導電性を与える不純物を意図的に導入させていないか導入させているとしても十分低い濃度でしか導入させていない半導体薄膜が形成され、そして、②その半導体薄膜の上表面上に、ゲート絶縁膜を介して、上記半導体薄膜を横切って上記基板1上に延長しているゲート電極層が形成され、また、③上記半導体薄膜内に、上方からみて、上記ゲート電極層を挟んだ両位置において、上表面側から、導電性を与える不純物を高濃度に導入しているソース領域及びドレイン領域が、それら間をチャンネル領域として残すように形成されている、という構成を有する。

しかしながら、本発明による薄膜電界効果トランジスタは、このような構成を有する薄膜電

界効果トランジスタにおいて、④上記半導体薄膜に、その上表面側における少なくとも上記チャンネル領域において、そのチャンネル領域に流れる電流に沿う方向に延長している溝が、その内面を半導体薄膜の上表面の一部として形成され、そして、⑤上記溝内に、上記ゲート絶縁膜を介して、上記ゲート電極層が延長している。

#### 〔作用・効果〕

本発明による薄膜電界効果トランジスタによれば、上記④及び⑤の事項を除いて、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合と同様の構成を有するので、詳細説明は省略するが、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合と同様に、ソース領域及びゲート電極層間に制御電圧を印加させれば、チャンネル領域の電気的伝導度を、制御電圧に応じて制御させることができることから、ソース領域及びドレイン領域間に負荷を通じて所要の電流を接続している状態で、ソース領域及びゲート電極層間に制御

電圧を印加させることによって、その制御電圧に応じて制御された電流を負荷に供給させ、その負荷を駆動させることができる。

しかしながら、本発明による薄膜電界効果トランジスタの場合、半導体薄膜の少なくともチャンネル領域に形成されている溝を有し、そして、その溝内にゲート絶縁膜を介してゲート電極層が延長しているので、ゲート電極層がチャンネル領域に対向している実効面積が、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合に比し広く、このため、チャンネル領域及びゲート電極層の幅を第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合のように狭くしなくても、負荷に供給させる電流の制御電圧による制御性について、チャンネル領域の幅を狭げたのと等価な効果が得られる。

また、半導体薄膜の溝の上端縁における角部に、制御電圧による電界が集中して生じ、その角部及びその近傍における半導体薄膜の表面電

界密度が高くなるので、負荷に供給させる電流の制御電圧による制御性が高くなる。

以上のことから、本発明による薄膜電界効果トランジスタによれば、チャンネル領域及びゲート電極層の幅を狭くしなくても、また、半導体薄膜に対し熱アニーリング処理を施さなくても、負荷に供給させる電流の制御電圧による制御性を、負荷に供給させる電流が大きな値で得られる態様で、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合に比し、溝の数及び溝の深さに応じて、格段的に高くすることができる。

#### 〔実施例1〕

次に、第1図～第3図を伴って、本発明による薄膜電界効果トランジスタの第1の実施例を述べよう。

第1図～第3図において、第12図～第14図との対応部分には同一符号を付して詳細説明を省略する。

第1図～第3図に示す本発明による薄膜電界

効果トランジスタは、次の事項を除いて、第12図～第14図で上述した従来の薄膜電界効果トランジスタと同様の構成を有する。

すなわち、半導体薄膜2の上表面2aが平らである第12図～第14図で前述した従来の薄膜電界効果トランジスタの場合に代え、半導体薄膜2に、その上表面2a側において、チャンネル領域7に流れる電流にほぼ沿う方向（本例の場合、半導体薄膜2が直線的ストライプ状に形成されているので、その半導体薄膜2のストライプ状に延長している方向）に延長している断面四角形の複数の溝8が、それらの内面を半導体薄膜2の上表面2aの一部として、例えば0.5nmの深さと1.0μmの幅とに形成され、そして、それら溝8内に、ゲート絶縁膜3を介して、ゲート電極層4が延長している。

以上が、本発明による薄膜電界効果トランジスタの第1の実施例の構成である。

このような構成を有する本発明による薄膜電界効果トランジスタによれば、上述した事項を

除いて、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合と同様の構成を有するので、詳細説明は省略するが、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合と同様に、ソース領域5及びドレイン領域6間に負荷を通じて所望の電流を接続している状態で、ソース領域5及びゲート電極層4間に制御電圧を印加させることによって、その制御電圧に応じて制御された電流を負荷に供給させ、その負荷を駆動させることができる。

しかしながら、第1図～第3図に示す本発明による薄膜電界効果トランジスタの場合、半導体薄膜2に形成されている溝を有し、そして、その溝2内にゲート絶縁膜を介してゲート電極層4が延長しているため、ゲート電極層4がチャンネル領域7に対向している実効面積が、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合に比し広く、このため、チャンネル領域7及びゲート電極層4の幅を、

る。

このことは、半導体薄膜2の溝8の上縁部における角部9の頂点Pを原点とし、それからとった半導体薄膜2の表面上の位置 $x$  (nm)における表面電荷密度 $\rho$  (平均表面部を1とする相対値)が、角部9の曲率半径 $R$ をパラメータとして、第5図に示すように得られ、そして、薄膜電界効果トランジスタのソース領域5及びゲート電極層4間に印加する制御電圧 $V_G$  (V)に対する負荷に供給する電流 (ドレイン電流)  $I_D$  (A)の特性を測定したところ、第12図～第14図で前述した従来の薄膜電界効果トランジスタの場合において、第4図の曲線Bに示す結果が得られるとき、角部9が100nmの曲率半径 $R$ を有している場合、第4図の曲線Aに示す結果が得られたことから明らかである。

なお、第1図～第3図に示す本発明による薄膜電界効果トランジスタの場合、半導体薄膜2が溝8を有することから、半導体薄膜2においてキャリアの散乱により、半導体薄膜2に流

第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合のように拡くしなくても、負荷に供給させる電流の制御電圧による制御性について、チャンネル領域7の幅を拡げたのと等価な効果が得られる。

また、半導体薄膜2の溝8の上縁部における角部9に、制御電圧による電界が集中して生じ、その角部9及びその近傍における半導体薄膜2の表面電界密度が高くなるので、負荷に供給させる電流の制御電圧による制御性が、高くなる。

以上のことから、第1図～第3図に示す本発明による薄膜電界効果トランジスタによれば、チャンネル領域7及びゲート電極層4の幅を拡くしなくても、また、半導体薄膜2に対し熱アニーリング処理を施さなくても、負荷に供給させる電流の制御電圧による制御性を、負荷に供給させる電流が大きな値で得られる態様で、第12図～第14図で上述した従来の薄膜電界効果トランジスタの場合に比し、溝8の深さ及び溝の深さに応じて、格段的に高くすることができ

る電流の流れが助けられるおそれが考えられるが、溝8がチャンネル領域7に流れる電流にほぼ沿う方向に延長しているため、そのようなおそれはない。

#### 【実施例2】

次に、上述した本発明による薄膜電界効果トランジスタの第1の実施例を示している第3図に対応している第6図を作って、本発明による薄膜電界効果トランジスタの第2の実施例を述べよう。

第6図において、第3図との対応部分には同一符号を付し、詳細説明を省略する。

第6図に示す本発明による薄膜電界効果トランジスタは、複数の溝8のそれぞれが断面四角形である第1図～第3図で上述した本発明による薄膜電界効果トランジスタの第1の実施例の場合に代え、複数の溝8がそれらを通して、断面連続正弦波状であることを除いて、第1図～第3図で上述した本発明による薄膜電界効果トランジスタの場合と同様である。

以上が、本発明による静電電界効果トランジスタの第2の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様の構成を有するので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの場合と同様の作用効果が得られる。

#### 【実施例3】

次に、上述した本発明による静電電界効果トランジスタの第1の実施例を示している第3図に対応している第7図を伴って、本発明による静電電界効果トランジスタの第3の実施例を述べよう。

第7図において、第3図との対応部分には同一符号を付し詳細説明を省略する。

第7図に示す本発明による静電電界効果トランジスタは、複数の溝8のそれぞれが断面四角

に対応している第8図を伴って、本発明による静電電界効果トランジスタの第4の実施例を述べよう。

第8図において、第3図との対応部分には同一符号を付し、詳細説明を省略する。

第8図に示す本発明による静電電界効果トランジスタは、複数の溝8のそれぞれが断面四角形である第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合に代え、複数の溝8が、それらを通してみて、断面連続正弦波状乃至三角波であるが、複数の溝8の深さが任意であったり、図示していないが複数の溝8の幅も任意であったりしていることを除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの場合と同様である。

以上が、本発明による静電電界効果トランジスタの第4の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を

形である第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合に代え、複数の溝8が、それらを通してみて、断面連続三角波状であることを除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様である。

以上が、本発明による静電電界効果トランジスタの第3の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例と同様の構成を有するので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様の作用効果が得られる。

#### 【実施例4】

次に、上述した本発明による静電電界効果トランジスタの第1の実施例を示している第3図

を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例と同様の構成を有するので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様の作用効果が得られる。

#### 【実施例5】

次に、上述した本発明による静電電界効果トランジスタの第1の実施例を示している第1図に対応している第9図を伴って、本発明による静電電界効果トランジスタの第5の実施例を述べよう。

第9図において、第1図との対応部分には同一符号を付し、詳細説明を省略する。

第9図に示す本発明による静電電界効果トランジスタは、半導体静電2が、直線的ストライプ状である第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合に代え、1/4円弧状部を有し、そして、その1/4円弧状部上に、その1/4円弧状部

をチャンネル領域7とすべく、ゲート電極4がゲート絶縁膜3を介して延長し、これに応じて、複数の溝8が、1/4円弧状部において1/4円弧状に延長していることを除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様である。

以上が、本発明による静電電界効果トランジスタの第5の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例と同様の構成を有し、そして、複数の溝8が、1/4円弧状部、従ってチャンネル領域7において、そこに流れる電流にほぼ沿う方向に延長しているので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様の作用効果が得られる。

3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様である。

以上が、本発明による静電電界効果トランジスタの第6の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例と同様の構成を有するので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの場合と同様の作用効果が得られる。

#### (実施例7)

次に、上述した本発明による静電電界効果トランジスタの第1の実施例を示している第1図に対応している第11図を伴って、本発明による静電電界効果トランジスタの第7の実施例を述べよう。

第11図において、第1図との対応部分には同一符号を付し詳細説明を省略する。

#### (実施例6)

次に、上述した本発明による静電電界効果トランジスタの第1の実施例を示している第1図に対応している第10図を伴って、本発明による静電電界効果トランジスタの第6の実施例を述べよう。

第10図において、第1図との対応部分には同一符号を付し、詳細説明を省略する。

第10図に示す本発明による静電電界効果トランジスタは、半導体層2が、直線的ストライプ状である第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合に代え、第1象限の1/4円弧状部とそれと接続している第4象限の1/4円弧状部とからなる円弧状部を有し、そして、その円弧状部上に、その円弧状部をチャンネル領域7とすべくゲート電極4がゲート絶縁膜3を介して延長し、これに応じて、複数の溝8が、円弧状部においてその円弧状部の円弧に対応して円弧状に延長していることを除いて、第1図～第

第11図に示す本発明による静電電界効果トランジスタは、半導体層2が、直線的ストライプ状である第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合に代え、半円弧状部を有し、そして、その半円弧状部上に、その半円弧状部をチャンネル領域7とすべく、ゲート電極4がゲート絶縁膜3を介して延長し、これに応じて、複数の溝8が、半円弧状部において半円弧状に延長していることを除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様である。

以上が、本発明による静電電界効果トランジスタの第7の実施例の構成である。

このような構成を有する本発明による静電電界効果トランジスタによれば、上述した事項を除いて、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例と同様の構成を有し、そして、複数の溝8が、半円弧状部、従ってチャンネル領域7において、

そこに流れる電流にほぼ沿う方向に延長しているので、詳細説明は省略するが、第1図～第3図で上述した本発明による静電電界効果トランジスタの第1の実施例の場合と同様の作用効果が得られる。

なお、上述においては、本発明によるわずかな例を示したに留まり、半導体薄膜2の高8を、チャンネル領域7においてのみ形成することもでき、また、ゲート絶縁膜3が、ゲート電極層4以下以外の領域上にも延長してもよく、その他、本発明の精神を脱することなしに、種々の変型、変更をなし得るであろう。

#### 4. 図面の簡単な説明

第1図、第2図及び第3図は、本発明による静電電界効果トランジスタの第1の実施例を示す略略的平面図、そのⅡ-Ⅱ線及びⅢ-Ⅲ線上の断面図である。

第4図は、第1図～第3図に示す本発明による静電電界効果トランジスタのソース領域及びゲート電極層に印加する制御電圧(V)に対

する負荷に供給する電流(ドレイン電流) $I_D$ (A)の関係を、従来の静電電界効果トランジスタの場合と対比して示す特性図である。

第5図は、第1図～第3図に示す本発明による静電電界効果トランジスタの半導体薄膜の溝の上縁部の角部の頂点を原点とし、そこからとった半導体薄膜上の位置x(nm)における表面電荷密度(平坦な部を1とする相対値)を、角部の曲率半径R(nm)をパラメータとして示す図である。

第6図、第7図及び第8図は、それぞれ本発明による静電電界効果トランジスタの第2、第3及び第4の実施例を示す、第3図に対応している略略的断面図である。

第9図、第10図及び第11図は、それぞれ本発明による静電電界効果トランジスタの第5、第6及び第7の実施例を示す、第1図に対応している略略的平面図である。

第12図、第13図及び第14図は、従来の静電電界効果トランジスタを示す略略的平面図、

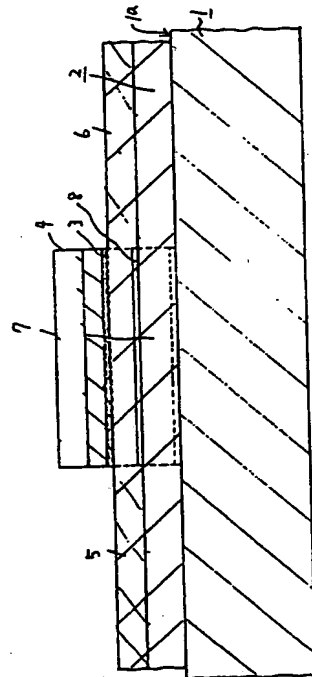
そのXⅢ-XⅣ線及びXⅨ-XⅩ線上の断面図である。

- 1 ..... 基板
- 1a ..... 絶縁性表面
- 2 ..... 半導体薄膜
- 2a ..... 上表面
- 3 ..... ゲート絶縁膜
- 4 ..... ゲート電極層
- 5 ..... ソース領域
- 6 ..... ドレイン領域
- 7 ..... チャンネル領域
- 8 ..... 溝
- 9 ..... 角部

出願人 日本電信電話株式会社

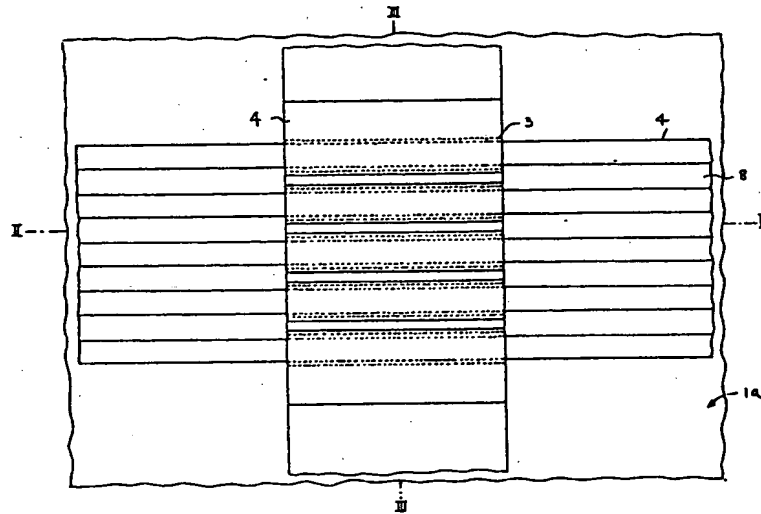
代理人 弁理士 田中正治

図2

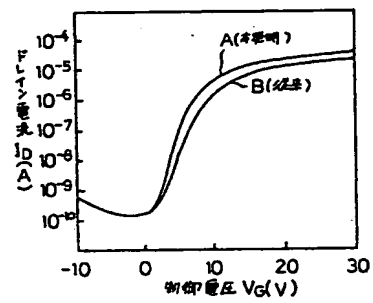




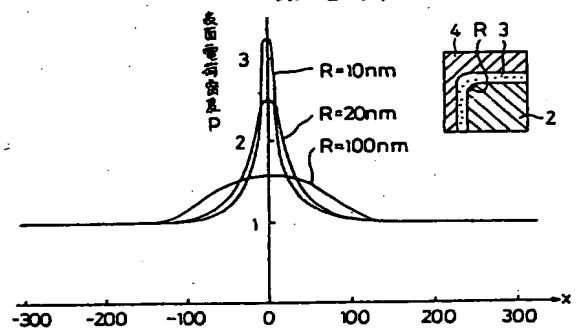
第 1 図



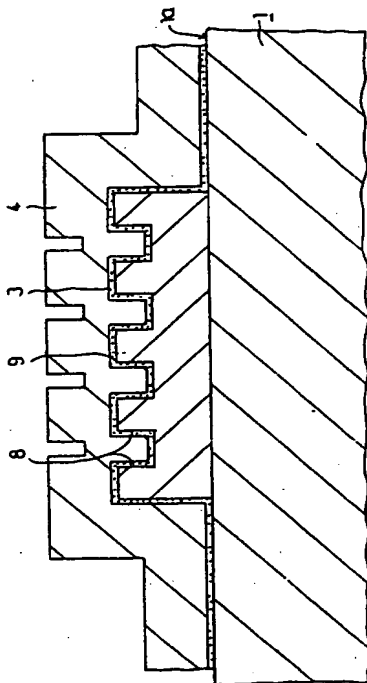
第 4 図



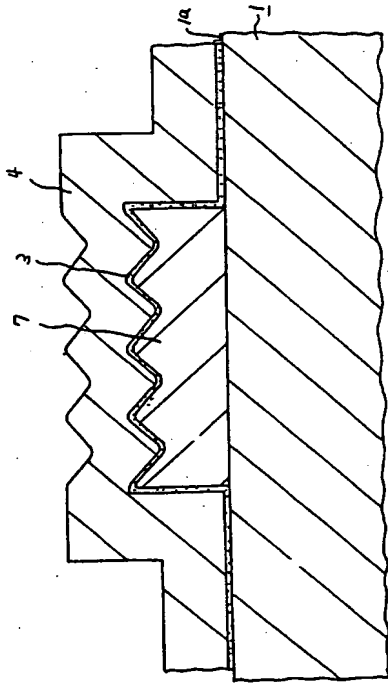
第 5 図



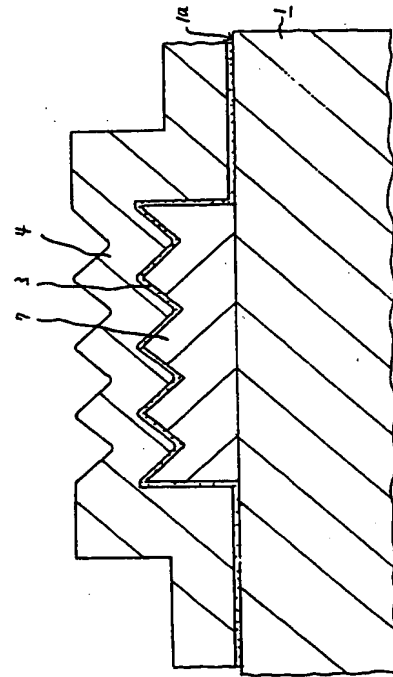
第 3 図



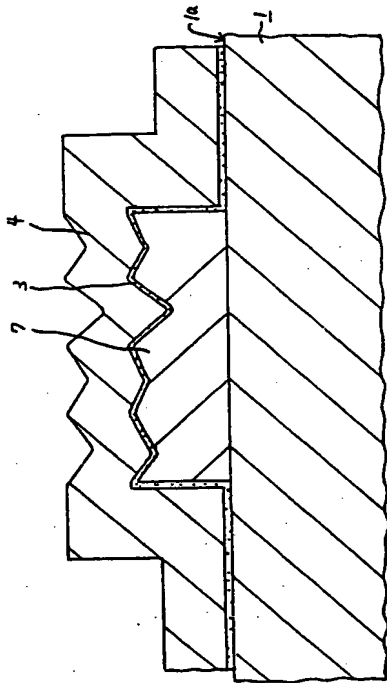
第6図



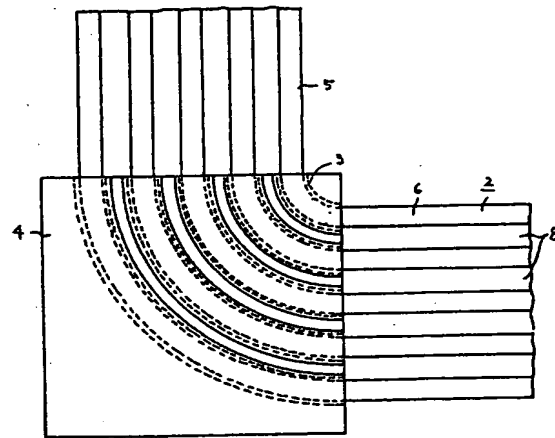
第7図



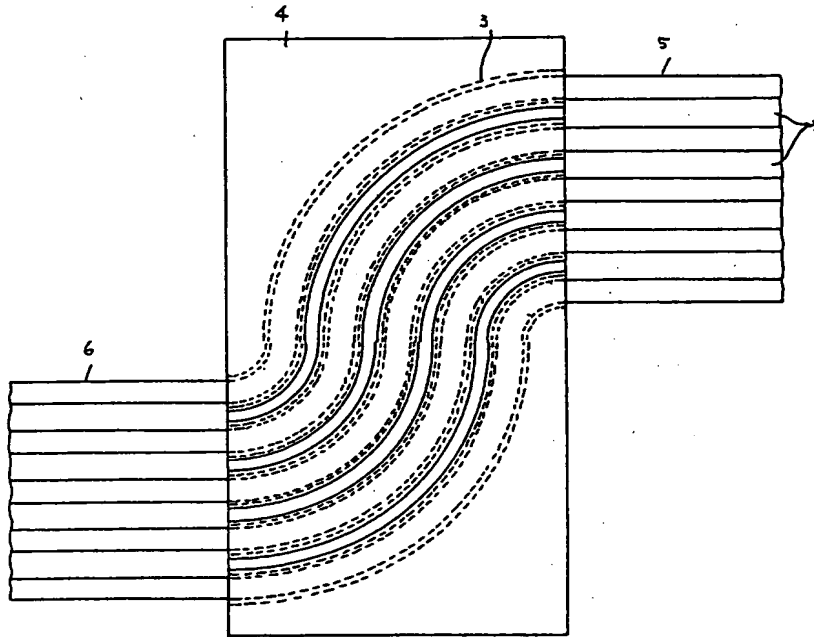
第8図



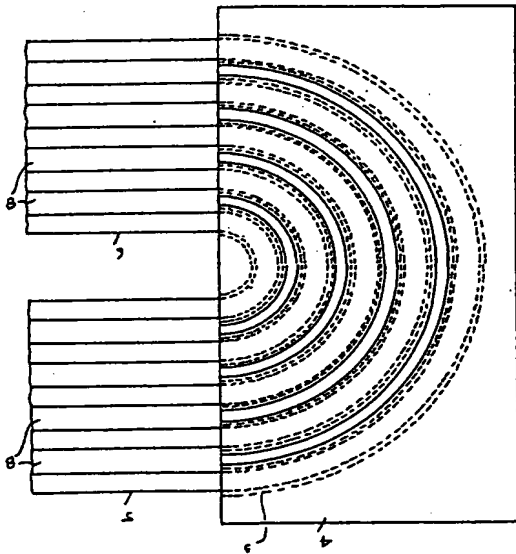
第9図



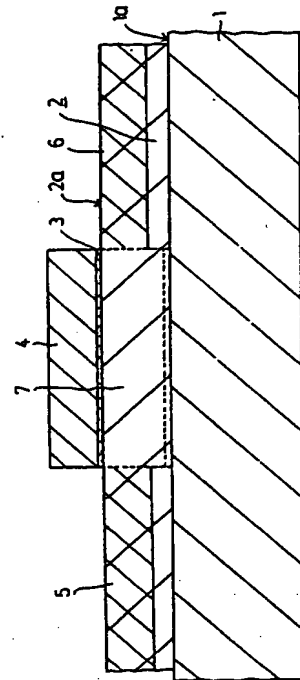
第10図



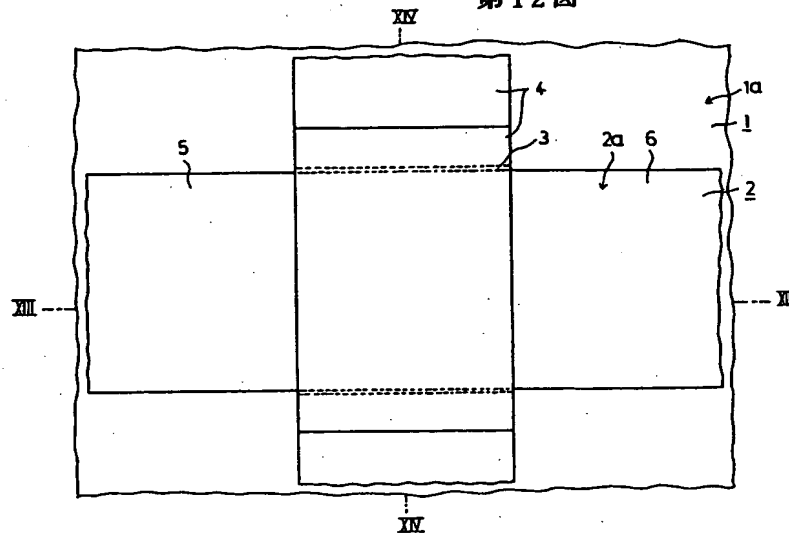
第11図



第13図



第12図



第14図

